

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-299229

(43)Date of publication of application : 29.10.1999

(51)Int.Cl.

H02M 3/155

(21)Application number : 10-096289

(71)Applicant : TOYOTA AUTOM LOOM WORKS LTD

(22)Date of filing : 08.04.1998

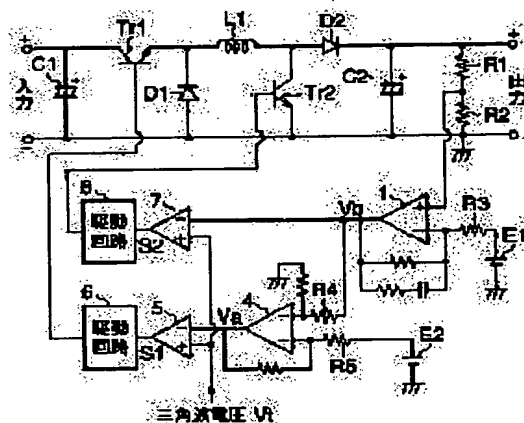
(72)Inventor : SOFUE KENICHI

(54) POWER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a highly efficient power circuit despite its use of a step-up- and-down chopper circuit.

SOLUTION: An output voltage is distributed at resistor R1 and R2, inputted into an error amplifier 1 for a difference in voltage to be subtracted from that of a reference power source E1, inputted into a second PWM compactor 7 for pulse width modulation, and inputted into a second drive circuit 8. An output Vb of the error amplifier 1 is subtracted by a voltage V1 of an offset power source E2 by a subtraction circuit 4, inputted into a first PWM comparator 5 for pulse width modulation, and inputted into a first drive circuit 6. Only when a transistor Tr1 is turned on 100%, does a transistor Tr2 repeats turn on/off operations, so that a stage-up-and-down chopper circuit operates as a step-up circuit, and only when a transistor Tr2 is turned off 100%, the transistor Tr1 repeats the on/off operations, so that the step-up-and-down chipper circuit operates as a step-down circuit.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 2 9 9 2 2 9

(43) 公開日 平成11年(1999)10月29日

(51) Int. Cl. ⁶

H 0 2 M 3/155

識別記号

F I

H 0 2 M 3/155

U

審査請求 未請求 請求項の数 2

O L

(全 5 頁)

(21) 出願番号 特願平10-96289

(22) 出願日 平成10年(1998)4月8日

(71) 出願人 000003218

株式会社豊田自動織機製作所

愛知県刈谷市豊田町2丁目1番地

(72) 発明者 祖父江 健一

愛知県刈谷市豊田町2丁目1番地 株式会社
豊田自動織機製作所内

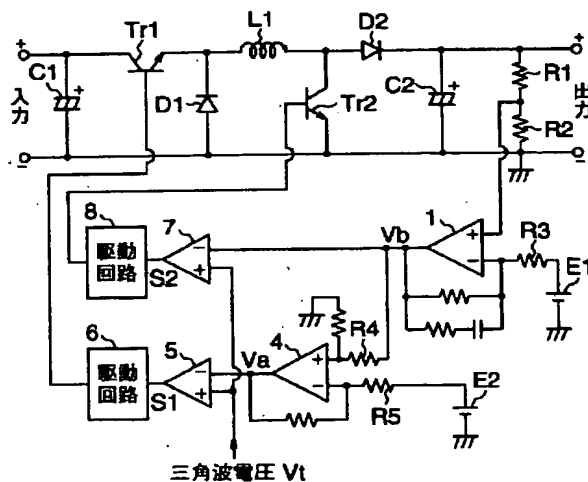
(74) 代理人 弁理士 曾我 道照 (外6名)

(54) 【発明の名称】 電源回路

(57) 【要約】

【課題】 この発明は、昇降圧チョップ回路を用いながらも効率の優れた電源回路を提供することを課題とする。

【解決手段】 出力電圧は抵抗 R 1 及び R 2 で分圧されて誤差アンプ 1 に入力され、基準電源 E 1 の電圧との差分がとられ、第 2 の PWM コンパレータ 7 に入力し、パルス幅変調されて第 2 の駆動回路 8 に入力される。誤差アンプ 1 の出力 V b は、減算回路 4 でオフセット電源 E 2 の電圧 V 1 だけ減算された後、第 1 の PWM コンパレータ 5 に入力し、パルス幅変調されて第 1 の駆動回路 6 に入力される。トランジスタ T r 1 が 1 0 0 % ON のときにのみトランジスタ T r 2 が ON / OFF を繰り返して昇降圧チョップ回路は昇圧回路として動作し、トランジスタ T r 2 が 1 0 0 % OFF のときにのみトランジスタ T r 1 が ON / OFF を繰り返して昇降圧チョップ回路は降圧回路として動作する。



【特許請求の範囲】

【請求項 1】 第 1 及び第 2 のスイッチング素子を有する昇降圧チョッパ回路と、

前記昇降圧チョッパ回路からの出力電圧を検出する出力電圧検出回路と、

前記出力電圧検出回路で検出された出力電圧と基準電圧との差分に基づいて第 1 及び第 2 のスイッチング素子の一方を ON/OFF 制御すると共に前記差分をオフセットした値に基づいて第 1 及び第 2 のスイッチング素子の他方を ON/OFF 制御することにより前記昇降圧チョッパ回路を昇圧回路と降圧回路とに切り替えて作動させる制御回路とを備えたことを特徴とする電源回路。

【請求項 2】 前記制御回路は、

前記出力電圧検出回路で検出された出力電圧と基準電圧との差分を増幅する誤差アンプと、

前記誤差アンプの出力をオフセットするオフセット回路と、

前記誤差アンプの出力及び前記オフセット回路の出力の一方を所定の三角波電圧と比較してパルス幅変調する第 1 の PWM コンパレータと、

前記第 1 の PWM コンパレータの出力に基づいて第 1 のスイッチング素子を駆動する第 1 の駆動回路と、

前記誤差アンプの出力及び前記オフセット回路の出力の他方を前記所定の三角波電圧と比較してパルス幅変調する第 2 の PWM コンパレータと、

前記第 2 の PWM コンパレータの出力に基づいて第 2 のスイッチング素子を駆動する第 2 の駆動回路とを備え、前記オフセット回路は前記所定の三角波電圧の振幅以上のオフセット量を有する請求項 1 に記載の電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、電源回路に係り、特に昇降圧チョッパ回路を用いた電源回路に関する。

【0002】

【従来の技術】 昇降圧チョッパ回路を用いた従来の電源回路を図 4 に示す。抵抗 R_1 及び R_2 で分圧された出力電圧と基準電源 E_1 による電圧とが誤差アンプ 1 で比較され、これらの差分が PWM コンパレータ 2 で三角波電圧 V_t を用いてパルス幅変調され、パルス幅変調された信号を用いて駆動回路 3 は二つのトランジスタ T_{r1} 及び T_{r2} を同時に ON/OFF 駆動する。二つのトランジスタ T_{r1} 及び T_{r2} を同時に ON させると、第 1 のコンデンサ C_1 の正極からトランジスタ T_{r1} 、リアクトル L_1 及びトランジスタ T_{r2} を介して第 1 のコンデンサ C_1 の負極へと電流 i_1 が流れ、これによりリアクトル L_1 にエネルギーが蓄積される。次に、トランジスタ T_{r1} 及び T_{r2} を同時に OFF させると、リアクトル L_1 からダイオード D_2 、第 2 のコンデンサ C_2 及びダイオード D_1 を経てリアクトル L_1 へと電流 i_2 が流

れ、リアクトル L_1 に蓄積されたエネルギーが第 2 のコンデンサ C_2 に移動する。この第 2 のコンデンサ C_2 のエネルギーにより出力電圧が得られる。

【0003】

【発明が解決しようとする課題】 しかしながら、トランジスタ T_{r1} 及び T_{r2} を同時に ON させてリアクトル L_1 に一旦エネルギーを溜める必要があるため、リアクトル L_1 に流れる電流のピーク値が大きく、回路各部における損失が大きくなって効率が低下するという問題があった。

【0004】 この発明は、このような従来の問題点を解消するためになされたもので、昇降圧チョッパ回路を用いながらも効率の優れた電源回路を提供することを目的とする。

【0005】

【課題を解決するための手段】 この発明に係る電源回路は、第 1 及び第 2 のスイッチング素子を有する昇降圧チョッパ回路と、昇降圧チョッパ回路からの出力電圧を検出する出力電圧検出回路と、出力電圧検出回路で検出された出力電圧と基準電圧との差分に基づいて第 1 及び第 2 のスイッチング素子の一方を ON/OFF 制御すると共に前記差分をオフセットした値に基づいて第 1 及び第 2 のスイッチング素子の他方を ON/OFF 制御することにより昇降圧チョッパ回路を昇圧回路と降圧回路とに切り替えて作動させる制御回路とを備えたものである。

【0006】 制御回路を、出力電圧検出回路で検出された出力電圧と基準電圧との差分を増幅する誤差アンプと、誤差アンプの出力をオフセットするオフセット回路と、誤差アンプの出力及びオフセット回路の出力の一方を所定の三角波電圧と比較してパルス幅変調する第 1 の PWM コンパレータと、第 1 の PWM コンパレータの出力に基づいて第 1 のスイッチング素子を駆動する第 1 の駆動回路と、誤差アンプの出力及びオフセット回路の出力の他方を前記所定の三角波電圧と比較してパルス幅変調する第 2 の PWM コンパレータと、第 2 の PWM コンパレータの出力に基づいて第 2 のスイッチング素子を駆動する第 2 の駆動回路とから形成し、オフセット回路が前記所定の三角波電圧の振幅以上のオフセット量を有するように構成することができる。

【0007】

【発明の実施の形態】 以下、この発明の実施の形態を添付図面に基づいて説明する。

実施の形態 1. 図 1 にこの実施の形態 1 に係る電源回路の構成を示す。入力側の正端子と出力側の正端子との間にトランジスタ T_{r1} 、リアクトル L_1 及びダイオード D_2 が直列に接続され、トランジスタ T_{r1} 及びリアクトル L_1 の接続点とグラウンドとの間にダイオード D_1 が、リアクトル L_1 及びダイオード D_2 の接続点とグラウンドとの間にトランジスタ T_{r2} がそれぞれ接続されている。また、入力側の正端子と負端子との間に第 1 の

コンデンサC1が、出力側の正端子と負端子との間に第2のコンデンサC2がそれぞれ接続されている。これらトランジスタTr1、Tr2、リアクトルL1、ダイオードD1、D2、第1及び第2のコンデンサC1及びC2により昇降圧チョッパ回路が構成されている。トランジスタTr1及びTr2が、それぞれこの発明の第1及び第2のスイッチング素子を形成している。

【0008】出力側の正端子と負端子との間には出力電圧検出回路を形成する抵抗R1及びR2が直列に接続され、これら抵抗R1及びR2の接続点に誤差アンプ1の正入力端子が、基準電源E1に抵抗R3を介して誤差アンプ1の負入力端子がそれぞれ接続されている。誤差アンプ1の出力端子には抵抗R4を介して減算回路4の正入力端子が接続され、この減算回路4の負入力端子には抵抗R5を介してオフセット電源E2が接続されている。減算回路4の出力端子は第1のPWMコンパレータ5の負入力端子に接続され、第1のPWMコンパレータ5の出力端子は第1の駆動回路6を介して第1のスイッチング素子であるトランジスタTr1のベースに接続されている。また、誤差アンプ1の出力端子は第2のPWMコンパレータ7の負入力端子に接続され、第2のPWMコンパレータ7の出力端子は第2の駆動回路8を介して第2のスイッチング素子であるトランジスタTr2のベースに接続されている。第1及び第2のPWMコンパレータ5及び7の正入力端子には、共通の三角波電圧Vtが入力される。なお、減算回路4、オフセット電源E2、抵抗R4及びR5等によりこの発明のオフセット回路が形成されている。

【0009】次に、この実施の形態1に係る電源回路の動作について図2のタイミングチャートを参照して説明する。昇降圧チョッパ回路の入力側の正端子と負端子との間に入力電圧が印加され、出力側の正端子と負端子との間に出力電圧が形成されると、この出力電圧は抵抗R1及びR2で分圧されて誤差アンプ1に入力され、ここで基準電源E1による所定の電圧との差分がとられると共にその差分が増幅されて出力される。誤差アンプ1の出力Vbは、第2のPWMコンパレータ7に入力し、三角波電圧Vtとの比較に基づいてパルス幅変調され、トランジスタTr2に対する駆動指令信号S2として第2の駆動回路8に入力される。

【0010】一方、誤差アンプ1の出力Vbは、減算回路4に入力し、ここでオフセット電源E2による所定の電圧V1だけ減算される。減算回路4の出力Vaは、第1のPWMコンパレータ5に入力し、三角波電圧Vtとの比較に基づいてパルス幅変調され、トランジスタTr1に対する駆動指令信号S1として第1の駆動回路6に入力される。

【0011】第1及び第2の駆動回路6及び8は、それぞれ駆動指令信号S1及びS2に基づいてトランジスタTr1及びTr2をON/OFF制御する。ここで、図

2に示されるように、オフセット電源E2による所定の電圧V1は、第1及び第2のPWMコンパレータ5及び7に共通して供給される三角波電圧Vtの振幅に相当している。すなわち、第1のPWMコンパレータ5に入力される減算回路4の出力Vaは第2のPWMコンパレータ7に入力される誤差アンプ1の出力Vbよりも電圧V1だけ低いものとなっている。このため、トランジスタTr1がデューティ比100%でONのときにのみトランジスタTr2がON/OFFを繰り返し、またトランジスタTr2がデューティ比100%でOFFのときにのみトランジスタTr1がON/OFFを繰り返すようになっている。

【0012】トランジスタTr1がデューティ比100%でONのときにトランジスタTr2がONすると、第1のコンデンサC1の正極からトランジスタTr1、リアクトルL1及びトランジスタTr2を介して第1のコンデンサC1の負極へと電流が流れてリアクトルL1にエネルギーが蓄積され、トランジスタTr2がOFFになると、リアクトルL1からダイオードD2、第2のコンデンサC2及びダイオードD1を経てリアクトルL1へと電流が流れてリアクトルL1のエネルギーが第2のコンデンサC2に移動する。すなわち、昇降圧チョッパ回路は昇圧回路として動作する。

【0013】一方、トランジスタTr2がデューティ比100%でOFFのときにトランジスタTr1がONすると、第1のコンデンサC1の正極からトランジスタTr1、リアクトルL1、ダイオードD2及び第2のコンデンサC2を介して第1のコンデンサC1の負極へと電流が流れ、トランジスタTr1がOFFになると、リアクトルL1からダイオードD2、第2のコンデンサC2及びダイオードD1を経てリアクトルL1へと電流が流れる降圧回路として動作する。

【0014】このように、昇降圧チョッパ回路を昇圧回路と降圧回路とに分けて動作させるので、従来のように二つのトランジスタTr1及びTr2を同時にON/OFFさせる場合よりも、リアクトルL1を流れる電流の平均値が少なく済み、効率が向上する。その結果、使用するリアクトル、トランジスタ及びダイオード等を小型化することができる。

【0015】実施の形態2、図1に示した実施の形態1に係る電源回路においては、誤差アンプ1の出力Vbから減算回路4により電圧V1だけ減算してトランジスタTr1に対する電圧信号Vaを作成し、これらの信号Va及びVbをそれぞれ第1及び第2のPWMコンパレータ5及び7に入力させたが、図3に示されるように、誤差アンプ1の出力を第1のPWMコンパレータ5に入力し、誤差アンプ1の出力に電圧V1を加算した電圧信号を第2のPWMコンパレータ7に入力するように構成してもよい。誤差アンプ1の出力が加算回路9に入力し、ここでオフセット電源E2による所定の電圧V1だけ加

算された後、第2のPWMコンパレータ7に入力される。このように構成しても、実施の形態1と全く同様の効果が得られる。

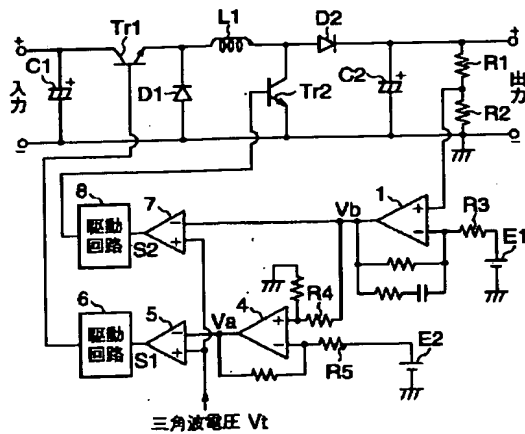
【0016】なお、上述した実施の形態1及び2において、オフセット電源E2によるオフセット電圧を三角波電圧 V_t の振幅に相当するものとしたが、三角波電圧 V_t の振幅以上の電圧であれば、実施の形態1及び2と同様に、昇降圧チョッパ回路を昇圧回路と降圧回路とに分けて動作させることが可能となる。

【0017】

【発明の効果】以上説明したように、この発明によれば、昇降圧チョッパ回路からの出力電圧と基準電圧との差分に基づいて第1及び第2のスイッチング素子の一方をON/OFF制御すると共にその差分をオフセットした値に基づいて第1及び第2のスイッチング素子の他方をON/OFF制御することにより昇降圧チョッパ回路を昇圧回路と降圧回路とに切り替えて作動させるようにしたので、リアクトルに流れる電流の平均値、ピーク値が小さくなり、回路に用いられるリアクトル、トランジスタ、ダイオード等の小型化が可能になると共に損失の低減により効率の向上がなされる。

【0018】また、第1及び第2のスイッチング素子に対応してフィードバックする信号にオフセットを持たせることで昇圧回路と降圧回路とを切り替えているため、

【図1】



昇圧回路と降圧回路との間の移行が連続的に行われ、移行時に出力電圧の変化が発生しないという効果がある。

【図面の簡単な説明】

【図1】この発明の実施の形態1に係る電源回路の構成を示す回路図である。

【図2】実施の形態1に係る電源回路の動作を示すタイミングチャートである。

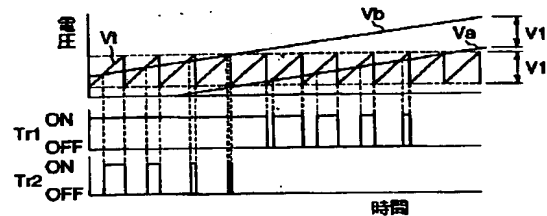
【図3】実施の形態2に係る電源回路の要部を示す回路図である。

10 【図4】従来の昇降圧チョッパ回路を示す回路図である。

【符号の説明】

- 1 誤差アンプ
- 4 減算回路
- 5 第1のPWMコンパレータ
- 6 第1の駆動回路
- 7 第2のPWMコンパレータ
- 8 第2の駆動回路
- 9 加算回路
- Tr 1, Tr 2 トランジスタ
- L 1 リアクトル
- C 1, C 2 コンデンサ
- R 1 ~ R 5 抵抗
- D 1, D 2 ダイオード

【図2】



【図3】

